

Docket No.: 4504-094

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Chi-Cheng HUNG :
U.S. Patent Application No. : Group Art Unit:
Filed: herewith : Examiner:

For: MICRO-SYSTEM FOR BURN-IN SYSTEM PROGRAM FROM A PLUG-ABLE
SUBSYSTEM INTO MAIN MEMORY AND METHOD THEREOF

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of Taiwanese Patent Application No. 092104054, filed February 26, 2003. The certified copy is submitted herewith.

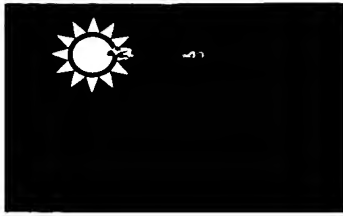
Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP



Kenneth M. Berner
Registration No. 37,093

1700 Diagonal Road, Suite 310
Alexandria, Virginia 22314
(703) 684-1111 KMB/jd
Facsimile: (703) 518-5499
Date: October 28, 2003



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2003 年 02 月 26 日
Application Date

申 請 案 號：092104054
Application No.

申 請 人：其樂達科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 5 月 29 日
Issue Date

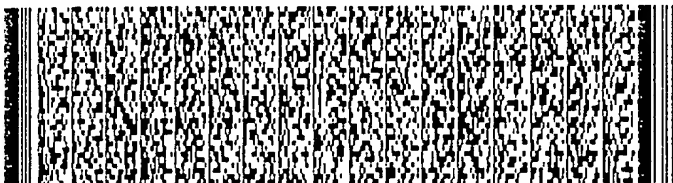
發文字號：09220530400
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	使用一可插拔之子系統將系統程式燒錄到主記憶體的微處理系統及燒錄方法
	英 文	Micro-system for Burn-in System Program from a Plug-able Subsystem to Main Memory and Method thereof
二、 發明人 (共1人)	姓 名 (中 文)	1. 洪啟誠
	姓 名 (英 文)	1. Hung, Chi-Cheng
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (中 文)	1. 新竹市東區金山里24鄰光復路一段89巷139號7樓
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 其樂達科技股份有限公司
	名稱或 姓 名 (英 文)	1. CHEERTEK INCORPORATION
	國 籍 (中 英 文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 300 新竹科學工業園區力行路2-1號5F-2 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. 5F-2, No. 2-1, Li-Shin Rd., Science-Based Industrial Park, Hsinchu 300,
	代表人 (中 文)	1. 葉垂奇
	代表人 (英 文)	1. Archie Yeh



四、中文發明摘要 (發明名稱：使用一可插拔之子系統將系統程式燒錄到主記憶體之微處理系統及燒錄方法)

使用一可插拔之子系統將系統程式燒錄到
主記憶體的微處理系統及燒錄方法

本發明之微處理系統主要使用位於一可插拔之子系統上的備源記憶體之系統程式燒錄到主記憶體上，其中匯流排上的資料是藉由兩個調整位準的裝置以決定處理器所存取之資料是來自於備源記憶體或是主記憶體。

伍、(一)、本案代表圖為：第一圖

(二)、本案代表圖之元件代表符號簡單說明：

100 微處理系統

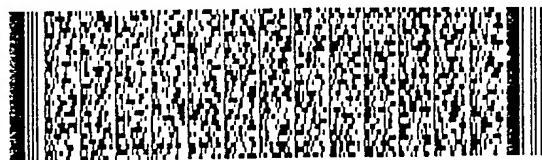
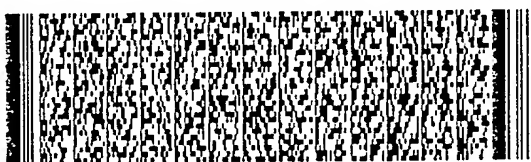
101 處理器

102 主記憶體

陸、英文發明摘要 (發明名稱：Micro-system for Burn-in System Program from a Plug-able Subsystem to Main Memory and Method thereof)

Micro-system for Burn-in System Program from a Plug-able Subsystem to Main Memory and Method thereof

This invention burns in system program on backup memory of a plug-able subsystem to main memory of a micro-system, wherein data on bus is controlled by two means for adjusting levels to determine



四、中文發明摘要 (發明名稱：使用一可插拔之子系統將系統程式燒錄到主記憶體的微處理系統及燒錄方法)

103 調整至低準位裝置

110 可插拔子系統

陸、英文發明摘要 (發明名稱：Micro-system for Burn-in System Program from a Plug-able Subsystem to Main Memory and Method thereof)

whether data access by processor is backup memory or main memory.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

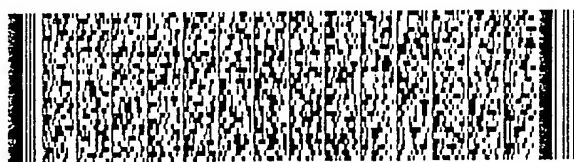
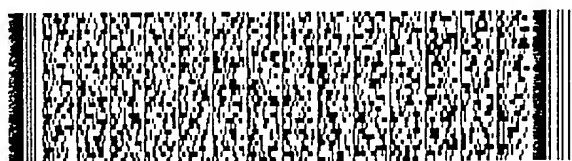
[發明所屬之技術領域]

本發明係有關於一種將系統程式燒錄到主記憶體的微處理系統與方法，特別是有關於一種使用一可插拔之子系統將系統程式燒錄到主記憶體的微處理系統及燒錄方法。

[先前技術]

在某些微處理機系統，由於應用或發展，必須更換系統的程式。早期的程式記憶體元件，由於容易插拔，可以將其取下，然後使用程式燒錄裝置將程式寫入後，再放回原系統內即可。但是由於元件封裝技術的進步，某些程式記憶體元件已不適合常做插拔的動作。所以這種系統就必須提供系統程式自我更新的方法。但是它卻有一個潛在的風險，就是當寫入錯誤的系統程式，有可能造成系統無法啟動。此時就必須提供一種方法，可以使系統再重新更新系統程式在原來的程式記憶體元件，然後在下次開機時，能讓系統正常運作。

微處理機運作必須有程式記憶體元件提供其運作程序。但是，程式記憶體元件的程式已無法使系統啟動，如何再做程式更新的動作。唯有使用另一個程式記憶體元件才能使系統啟動，但是假如原來的程式記憶體元件不取



五、發明說明 (2)

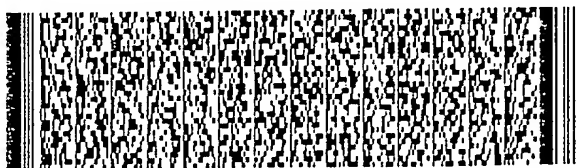
下，雖然其資料不正確，但是在沒有特別的控制下，其程式碼仍會送到系列的資料通道，而與另一個程式記憶體元件送出的程式碼造成衝突。其結果仍無法使系統啟動。

[發明 內 容]

鑒於上述之發明背景中，傳統的微處理機運作系統所產生的諸多缺點，本發明主要的目的在於提出了一種系統與方法，在正常情況下讓系統使用的主要程式記憶體運作。當系統主要程式記憶體，被寫入錯誤程式造成系統無法正常運作啟動時，可以使用一輔助程式記憶體轉換，使系統在無須拆卸主要程式記憶體下啟動運作，並將正確的程式再寫入系統的主要程式記憶體，使其下次在無輔助程式記憶體情況，仍可正常運作。

本發明的另一目的在於系統的主要程式記憶體在自我更新程式失敗的時候可以利用可插拔子卡的方式將主要程式記憶體的程式修正並更新回來。

本發明的再一目的在於在大量生產系統的過程中，如果偵測到系統錯誤時可以在產品還未上市時直接對系統進行修正。當產品已經完成但是還在未上市的階段，如果偵測到系統有問題，也可以利用可插拔子卡的方式將系統有



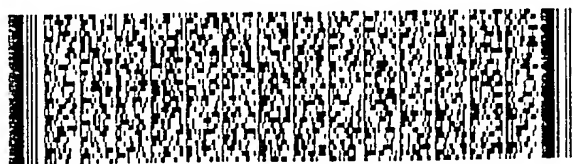
五、發明說明 (3)

問題的部分或是晶片找出。

本發明的又一目的在於在製造系統的過程中，可以先不考慮主記憶體程式是否正確，一邊進行系統的生產，不同時進行主記憶體程式的開發與修正。對於現在製造業而言可以大幅節省許多的生產時間。

根據以上所述之目的，本發明提供了一種使用一可插拔之子系統將系統程式燒錄到主記憶體的微處理系統，包含一處理器、一主記憶體、用以調節之第一準位裝置、以及一具有一備源記憶體之可插拔子系統。上述之處理器，係用以發出一第一控制訊號以及一第二控制訊號，其中該第一控制訊號為一浮接式準位。上述之主記憶體，係電氣地連接至該處理器並接收一第一控制訊號來決定是否與該處電氣地連接至該處理器以接受該第一控制訊號。上述之可插拔子系統，係電氣地連接至該處理器並接收該第一控制訊號以及電氣地連接至該處理器以接收該第二控制訊號。上述之可插拔子系統，係電氣地連接至該處理器並接收該第一控制訊號以及電氣地連接至該處理器以接收該第二控制訊號。

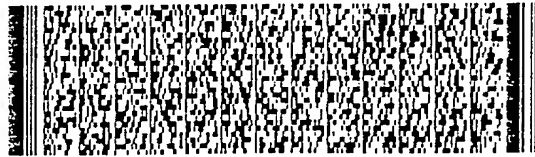
當該第二控制訊號為該第一準位時，該備源記憶體動作並且該備源記憶體與該處理器之間傳遞資訊，並且該可插拔子系統送出一第四控制訊號使得該第三控制訊號為一



五、發明說明 (4)

第二準位，其中該第二準位使得該主記憶體停止動作。當該第二控制訊號為該第二準位時，該備源記憶體停止動作並且停止該可插拔子系統送出該第四控制訊號，使得該第三控制訊號為該第一準位並且該主記憶體與該處理器之間傳遞資訊。

式系統可送制其該訊。第主遞可該。程處理一位傳控，為制位該該傳該得號。統處第準器三統號控準將止間到使訊系微一一理第系訊三一號禁之號位制的該至第處之子制第第訊位器訊準控。上中節該該體之控該該制準理制二四訊統其調中從憶拔二及成控二處控第第資系，以其含記插第以制四第該二該該遞子法用，包含主可該，控第該與第為出傳之方、統法該該，作置一中體該號送間拔之體系方制到位動裝出其憶送訊止之插體系的方制到位動裝出其憶送訊止之可憶記之明以訊式系準統位源器控且理將記主拔發用制接子一系準備理二並處一種主之插本一控浮之第子二該處第作該一的述可。整二一拔該之第在之該動與提供系統上之作調第為插至拔一，述中止體提系統、述動以一號可節插成著上其停憶同時處理器上體號及訊該調可整接從，統記同處理及憶訊以制得以之調。統系主明微處以記制位控使用述號作後系子該發一一、主控準一位該上訊動然子之在到含置該一之第準由，制體。之拔，燒錄包裝讓該一之第該一係後控憶訊拔插可之燒統位以一訊中第號之三記資插可之



五、發明說明 (6)

二準位，其中第二準位為高準位並且高於第一準位，可以使得主記憶體停止動作。

上述之主記憶體與處理器之間傳遞資訊之間傳遞訊號的方法包含在主記憶體與處理器之間建立一第一匯流排與一第二匯流排，其中第一匯流排上面具有一位址資料，而第二匯流排上面具有記憶資料，以及主記憶體接收一讀取訊號後將對應到該位址資料之記憶資料經由該第二匯流排傳送到處理器。上述之主記憶體與該處理器之間傳遞訊號的方法更包含在主記憶體接收到一寫入到該主記憶體之記憶資料經由第二匯流排寫入到該主記憶體。

上述之備源記憶體與處理器之間傳遞資訊之間傳遞訊號的方法為在備源記憶體與處理器之間建立前述之第一匯流排與前述之第二匯流排，其中第一匯流排上面具有一位址資料，而第二匯流排上面具有記憶資料，以及備源記憶體接收一讀取訊號後傳送對應到該位址資料之記憶資料到處理器。

當第二控制訊號為第二準位時，備源記憶體停止動作並且停止可插拔子系統送出前述之第四控制訊號，使得第三控制訊號為第一準位並且主記憶體與處理器之間得以傳遞資訊。

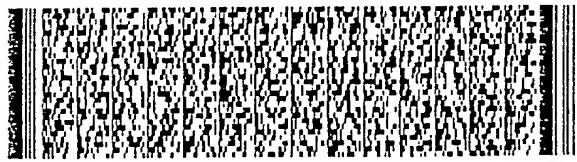


五、發明說明 (7)

[illegible]

燒錄包以記之發以號式作控四準

本發明同時提供一種將可插拔之方子系統上的一系統程
到一處理、主記憶、中體用第體置送訊，一述調位
一處插動作節法記之第三一號準高
微器之。至包含體插控制位第且
同處器之。至包含體插控制位第且
理、子上該含體插控制位第且
時、子上述從之拔制訊之三高
提系主記統之一處第之訊號之控於
供統記統，主準理三子號係後制第
一的憶，主準理三子號係後制第
種主體其記位器控系為由，訊一
將記、中憶裝傳制統第前上號準
可憶用第體置送訊，一述調位
插體以一為包一號其中位用可成係
拔之調準一含第一準第使以插一禁
之方節位非一一準第使以插一禁
子法至為揮接控位一得調拔第止
系，一低發地制以控可節之二主
統其第一性之訊及制插至子準記
上中一位記第號一訊拔第系位憶
的微準，憶一以第號之一統，體
的處位可體電調二為子準送其動
系處理裝以。阻整控一系位出中作
統裝置讓上。一本用訊接動置第二接
程系統、主述本用訊接動置第二接



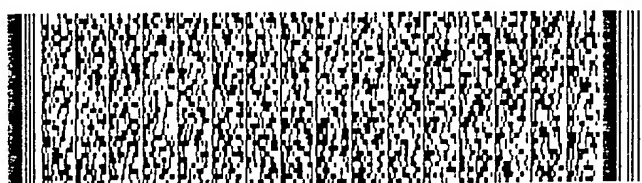
五、發明說明 (8)

著，在備源記憶體與該處理器之間傳遞資訊。然後，從上述之處理器傳送第二控制訊號到可插拔之子系統，其中第二控制訊號為第二準位使得可插拔之子系統停止動作並且停止送出第四控制訊號。之後，在主記憶體與該處理器之間傳遞資訊。

上述之備源記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法包含在該備源記憶體與該處理器之間建立第一匯流排與第二匯流排，其中第一匯流排上面具有位址資料，而第二匯流排上面具有記憶資料。之後備源記憶體接收一讀取訊號後傳送對應到位址資料之記憶資料到處理器。

上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法包含在主記憶體與處理器之間建立第一匯流排與第二匯流排，其中第一匯流排上面具有位址資料，而第二匯流排上面具有記憶資料。然後，主記憶體接收一讀取訊號後經由第二匯流排將對應到位址資料之記憶資料傳送到處理器。上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法更包含在主記憶體接收到一寫入訊號後將對應到位址資料之記憶資料經由第二匯流排寫入到主記憶體。

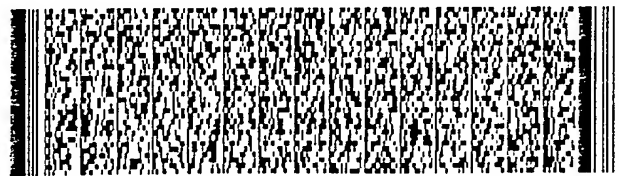
上述之可插拔子系統具有一連接器，一備源記憶體，



五、發明說明 (9)

以及用以調節至該第二準位裝置。上述之連接器，係用以電氣地連接至處理器以及主記憶體。上述之備源記憶體係電氣地連接至連接器以接收第二控制訊號。上述之用以調節至第二準位裝置係電氣地連接至連接器，並且經由連接器送出第四控制訊號以調整第三控制訊號之準位。上述之用以調節至第二準位裝置包含一連接至一電源之第二電阻。另外，上述之連接器為一插槽裝置。

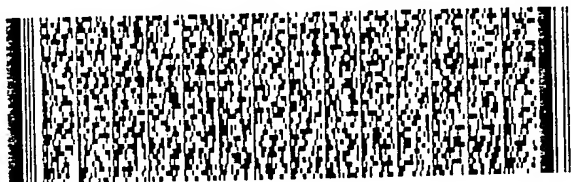
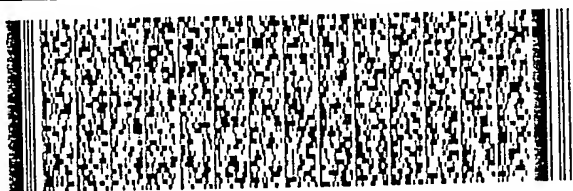
接下來，係根據本發明描述一個使用可插拔子系統燒錄系統程式之微處理系統的實施例。如第一圖所示，一微處理系統100包含了處理器101，主記憶體102，調整至低準位裝置103，以及一可插拔的子系統110。處理器101在開始的時候會先送出兩個訊號，分別為三態輸出控制訊號127以及起始為準為低位準的可插拔子系統控制訊號126。三態輸出控制訊號127用來控制主記憶體選擇控制訊號125的位準，而主記憶體選擇控制訊號125是用來控制主記憶體102的讀取與寫入。可插拔子系統控制訊號126是用來控制可插拔子系統110是否動作。此處理器101可以應用在一般需要處理器的系統，例如數字視頻/多用光碟(digital video/versatile disc; DVD)撥放機。處理器101會依據程式的執行，送出程式執行的順序到位址匯流排121上面，然後在送出讀取訊號123之後會在資料匯流排122上面取得從主記憶體102送出的程式碼。處理器101會對程式碼進行解碼以及執行所要求的動作。在某些狀況下也可以對



五、發明說明 (10)

主記憶體102進行程式更新的動作。例如在DVD播放機中處理器101可以從光碟片上讀取到欲更新的程式，然後處理器101就會根據更新程式的程序對主記憶體102寫入資料以進行更新的動作。但是，不管系統100要執行的工作為何，一個必要的條件就是在系統100開機的時候，主記憶體102的程式必須是正確的被載入到系統100中。如果原來存放在主記憶體102的程式就無法讓系統正常動作，它可能都沒有辦法讓系統100執行程式的更新動作。

主記憶體102又可以稱為主系統程式記憶體，主要是存放系統程式。一般的主記憶體102會使用非揮發性程式儲存元件，例如快閃記憶體或是可電除式可程式化記憶體。系統100是根據主記憶體102的程式碼運作。因為使用非揮發性儲存元件，主記憶體102所儲存的資料不會因為電源的關閉而消失。主記憶體102的動作是由一主記憶體選擇控制訊號125的位準來控制。當這個控制信號125是在低準位的時候，主記憶體102會對位址匯流排121上的位址值進行解碼。然後，當接受到讀取訊號123的時候，主記憶體102將對應到位址值的資料放在資料匯流排122上。當系統100進行程式更新的時候，主記憶體選擇控制訊號125被拉到低準位使主記憶體102動作，然後對位址匯流排121上面的位址值進行解碼。當主記憶體102接受到寫入訊號124的時候將放在資料匯流排122上的資料存放到適當的位址。



五、發明說明 (11)

調整至低準位裝置103的目的是將主記憶體選擇控制訊號125的準位拉拔到第一準位，也就是低準位。一種簡單的實行方式是使用一個接地的一般電阻，或是稱做拉拔到地的電阻。由於處理器101輸出的三態輸出控制訊號127是一種輸入訊號，其準位為浮接式準位。對於主記憶體102而言其準位是未知的狀態。為了讓處理器101能夠讓主記憶體102動作，利用了將位準拉拔到低準位的調整至低準位裝置103使主記憶體102動作。

可插拔的子系統110必須依附在處理器101上才能運作，而且可以從系統100中移除。在一般的狀況下，當系統100可以正常的運作的時候，子系統110是被移除的。但是當主記憶體102處於不正常的狀況下的時候，子系統110可以被安裝在系統100上用來取代主記憶體102。可插拔子系統110的結構示意圖請參照第二圖。

如第二圖所示，可插拔子系統110包括一連接器112，一備源記憶體114，以及調整至高準位裝置116。一般的可插拔子系統110會做成子卡的形式，利用一插槽結構與系統100電氣地連接。連接器112主要用來銜接處理器101以及備源記憶體114之間的訊號傳輸，其中訊號包括了位址匯流排121，資料匯流排122，讀取訊號123，以及可插拔子系統控制訊號126。另外，連接器112還連接了調整至高

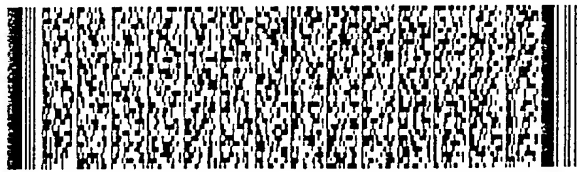
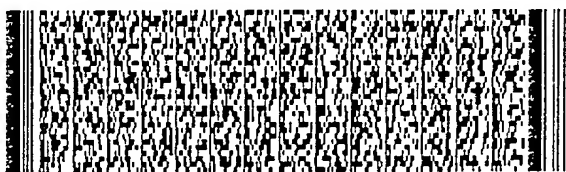


五、發明說明 (12)

準位裝置116與調整至低準位裝置103之間的訊號傳輸，主要是將高準位控制訊號128從調整至高準位裝置116調整主記憶體選擇控制訊號125來關閉主記憶體102。一般的連接器112可以使用插槽結構。

備源記憶體114，又稱為輔助程式記憶體或是輔助的系統程式儲存記憶體，是一般的程式儲存元件。一般的備源記憶體114也是使用非揮發性記憶元件，在電源消失的時候資料不會跟著消失。但是它不是用作系統程式記憶體，並不能執行自我更新的動作。備源記憶體114接受一可插拔子系統控制訊號126的控制來決定是否動作。當可插拔子系統控制訊號126是處在低準位的時候，備源記憶體114被啟動因而整個可插拔子系統110處於動作的狀態。當可插拔子系統控制訊號126的準位是高準位的時候，備源記憶體114關閉而整個可插拔子系統110不動作。

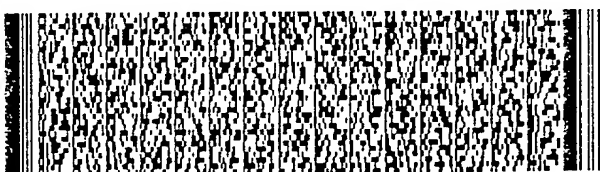
調整至高準位裝置116的目的是將主記憶體選擇控制訊號125的準位拉拔到第二準位，也就是高準位。一種簡單的實行方式是使用一個連接電源的一般電阻，或是稱為連接電源的拉拔電阻。由於系統100有個調整至低準位裝置103可以將主記憶體選擇控制訊號125的準位拉拔到低準位，所以主記憶體選擇控制訊號125的準位不等於高準位控制訊號。主記憶體選擇控制訊號125的準位只能使其接近兩個拉拔電阻的分壓值。假如拉拔到地的電阻值是 R_1 ，



五、發明說明 (13)

接到電源的拉拔電阻值是 R_2 ，則主記憶體選擇控制訊號125的電壓約為電源電壓的 $R_1/(R_1+R_2)$ 。將 R_1 和 R_2 的比例做適當的調整，即可使系統100在接上可插拔的子系統110之後後，使主記憶體選擇控制信號125脫離低準位而禁止主記憶體102運作。

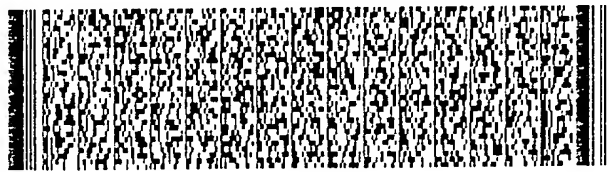
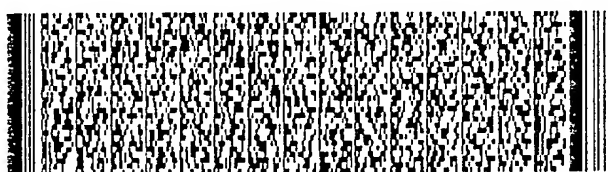
系統100在一般的時候執行程式時是不需要加入可插拔子系統110，其結構示意圖如第三圖所示。整個系統100只有三個元件在動作，而且兩個匯流排之間只有在兩個元件之間進行資料的傳遞。此時系統的程式執行流程如第四圖所示。在系統100開機的時候，如第四圖的第一步驟所示，處理器101傳送兩個控制訊號出來，分別是輸出準位為浮接式準位的三態輸出控制訊號127與起始狀態為低準位的主記憶體選擇控制訊號126。由於可插拔的子系統110並沒有安裝在系統100上，低準位的主記憶體選擇控制訊號126並不發生作用。浮接式準位的三態輸出控制訊號127會被調整至低準位裝置103拉拔到低準位，所以主記憶體選擇控制訊號125為低準位以啟動主記憶體102。然後，如第四圖的第二步驟所示，處理器101會在位址匯流排121上輸出位址值到主記憶體102上。之後，如第四圖的第三步驟所示，主記憶體102解譯位址匯流排121上的位址值。接著，處理器101可以決定是需要從主記憶體102讀取程式或是將資料寫入到主記憶體102上進行自我更新。如第四圖的第三步驟所示，主記憶體102從處理器101接收到讀取訊



五、發明說明 (14)

號123或是寫入訊號124。然後，當主記憶體102接收到讀取訊號123的時候會將對應到位址值的資料送到資料匯流排122給處理器101，或是當主記憶體102收到寫入訊號124的時候將資料匯流排122上的資料寫入主記憶體102的相對應位址值的資料區域。上面的動作，基本上完成了主記憶體102的資料讀取或是寫入的動作。

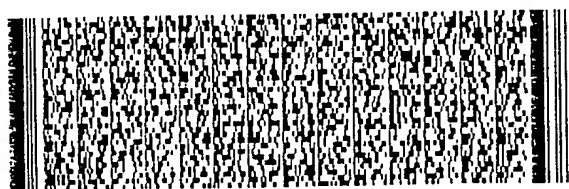
當主記憶體102的程式出現問題而不能開機的時候，這時可插拔子系統110會安裝到系統100上，這時的系統100結構示意圖如第五圖所示，而系統100的程式執行流程如第六圖所示。當系統100啟動的時候，如第六圖第一步驟所示，會先開啟可插拔子系統110並且停止主記憶體102的動作。這個步驟的處理方式是處理器101會先送出兩個訊號，分別是輸出準位為浮接式準位的三態輸出控制訊號127與起始狀態為低準位的主記憶體選擇控制訊號126。由於可插拔的子系統110已經安裝在系統100上，低準位的主記憶體選擇控制訊號126會啟動備源記憶體114。而這時調整至高準位裝置116會送出一個高準位訊號128來調整主記憶體控制訊號125的準位到高準位，因此主記憶體102就不會動作。之後，如第六圖第二步驟所示，處理器101從可插拔的子系統110上讀取程式資料。詳細的步驟是處理器101經過連接器112與備源記憶體114之間建立了位址匯流排121，而處理器101將位址值送到位址匯流排121上。備源記憶體114從位址匯流排121上讀取位址值並且解碼之



五、發明說明 (15)

後，等到處理器101送出讀取訊號123之後將對應到位址匯流排上的資料送到資料匯流排122上。處理器101會將資料匯流排122上的資料讀取並且解碼。這是已經完成了處理器101與備源記憶體114之間的資料讀取。由於備源記憶體114不能自我程式更新，所以資料匯流排122上的資料流動方向只有從備源記憶體114到處理器101。

之後有可能需要資料寫入到主記憶體102上，如第六圖第三步驟所示，將可插拔子系統110關閉並且開啟主記憶體102。這個步驟主要是從處理器101送出一個高準位的可插拔子系統控制訊號126，此時備源記憶體114會停止動作而調整至高準位裝置116也同時停止送出高準位訊號128。這時只有調整至低準位裝置103完全控制主記憶體控制訊號125成低準位。因此，可插拔子系統110可以關閉而備源記憶體114跟著開始動作。然後，如第六圖第四步驟所示，將資料從處理器101寫入到主記憶體102中。在這個步驟中，在主記憶體102動作之後會與處理器101之間建立位址匯流排121與資料匯流排122，其中處理器101會先送出位址值在位址匯流排121上。主記憶體102接收並且解碼位址匯流排121上的位址值之後等待接收到寫入訊號124之後會將處理器101放在資料匯流排122上的資料放到對應到位址值上的區域完成寫入的動作。因此，無法作用的主記憶體102現在已經進行完自我更新程式。之後，將可插拔子系統110移除，重新開機檢驗系統100是否正常運作即

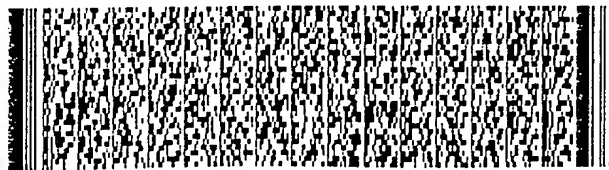


五、發明說明 (16)

可。

另外，當微處理系統100的某個晶片或是裝置有問題的時候，也可以利用可插拔子系統110找尋有問題的晶片或裝置。例如，當系統100無法開機時而問題出在硬體而不是主記憶體102的程式時，安裝可插拔子系統110。這時系統100開機的時候會去讀取可插拔子系統110的資訊，而備源記憶體114會設計成發布開機過程的資訊。例如，一種方式為開機時，遇到某個晶片有問題時，系統利用發光訊號發出閃爍訊號或是利用蜂鳴器鳴叫一長聲等通知使用者哪個晶片屬於不正常。設計不同的通知訊號對應到不同的晶片，可以同時偵測多個晶片在開機時是否正常。這種偵錯方式在系統性偵錯上是相當的便利的。

本發明主要是應用到系統的主記憶體在自我更新程式失敗的時候可以利用可插拔子卡的方式將主記憶體的程式修正並更新回來。另外，本發明除了可以應用到更新失敗的主記憶體上以外，對於大量製造生產的工廠來說也是相當方便的。因為在大量生產系統的過程中，如果偵測到錯誤時，可以在產品還未上市時利用可插拔子卡的方式將系統有問題的部分或是晶片找出直接進行修正。甚至，在製造系統的過程中，可以先不考慮主記憶體的程式是否正確，可以一邊進行系統的生產，同時進行主記憶體程式的開發與修正。對於現在製造業而言可以大幅節省許多的生



五、發明說明 (17)

產時間。

即使本發明係藉由舉出數個較佳實施例來描述，但是本發明並不限定於所舉出之實施例。先前雖舉出與敘述之特定實施例，但是顯而易見地，其它未脫離本發明所揭示之精神下，所完成之等效改變或修飾，均應包含在本發明之申請專利範圍內。此外，凡其它未脫離本發明所揭示之精神下，所完成之其他類似與近似改變或修飾，也均包含在本發明之申請專利範圍內。同時應以最廣之定義來解釋本發明之範圍，藉以包含所有的修飾與類似方法。



圖式簡單說明

[圖 式 簡 單 說 明]

第一圖顯示本發明之微處理系統的結構示意圖；

第二圖顯示可插拔子系統的結構示意圖；

第三圖顯示主記憶體與處理器之間的讀取/寫入流程中各元件之間資料與訊號流向關係示意圖；

第四圖顯示主記憶體與處理器之間的資料讀取/寫入流程圖；

第五圖顯示可插拔子系統與處理器之間的資料讀取與寫入主記憶體的流程中各元件之間資料與訊號流向關係示意圖；以及

第六圖顯示可插拔子系統與處理器之間的資料讀取與寫入主記憶體的流程圖。

參考標號

100 微處理系統

101 處理器

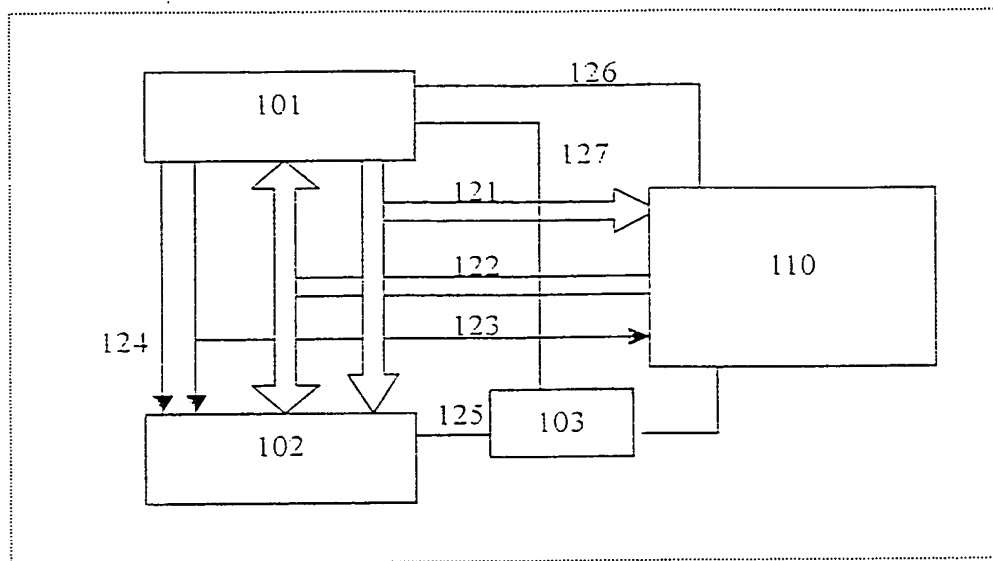
102 主記憶體



圖式簡單說明

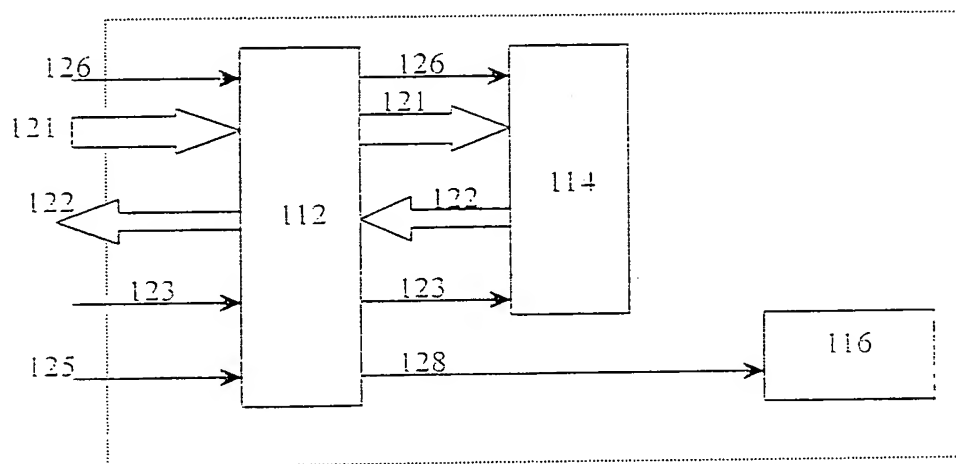
- 103 調整至低準位裝置
- 110 可插拔子系統
- 112 連接器
- 114 備源記憶體
- 116 調整至高準位裝置
- 121 位址匯流排
- 122 資料匯流排
- 123 讀取訊號
- 124 寫入訊號
- 125 主記憶體選擇控制訊號
- 126 可插拔子系統控制訊號
- 127 三態輸出控制訊號
- 128 高準位控制訊號





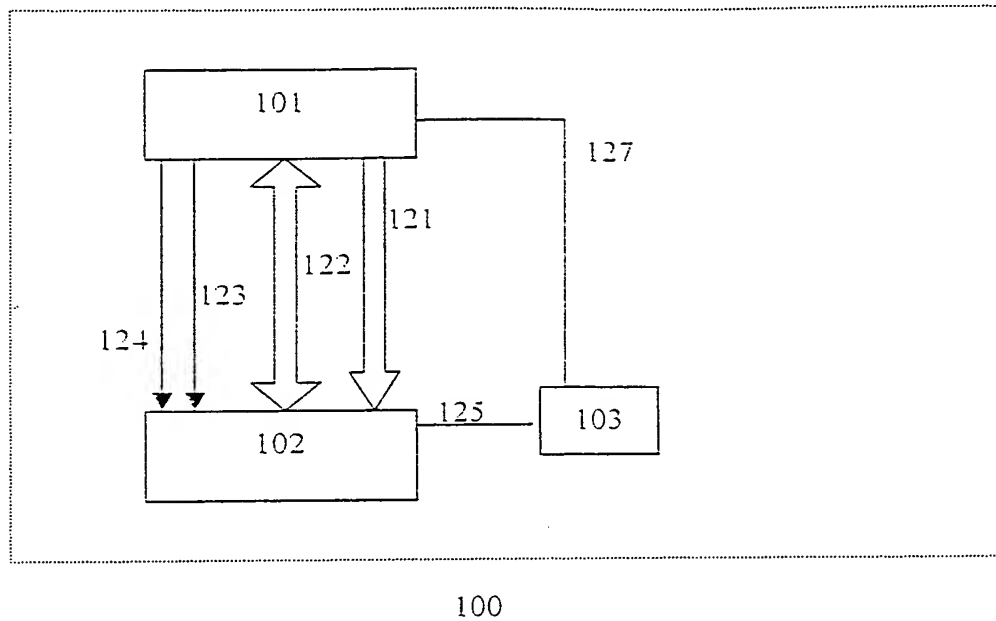
100

第一圖



110

第二圖



第三圖

1. 從處理器(101)傳送三態控制訊號(127)至控制訊號(125)，
並藉由調整至低準位裝置(103)以降低至低準位以啟動主記憶體(102)；

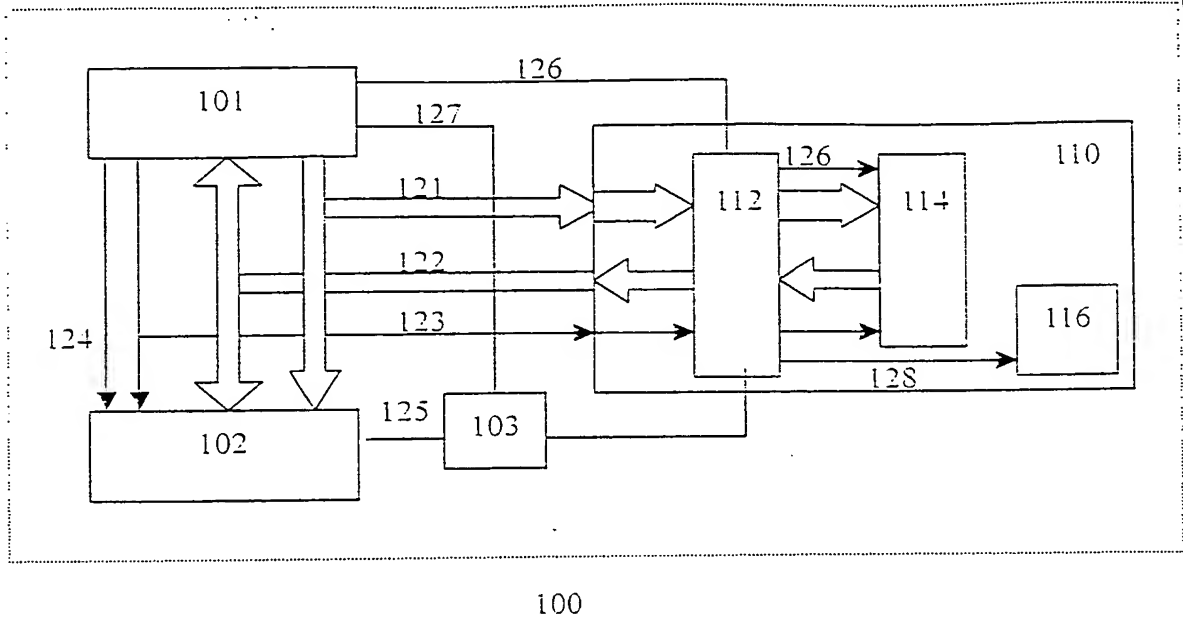
2. 從處理器(101)在位址匯流排(121)上傳送位址值至主記憶體(102)；

3. 主記憶體(102)將位址值解碼，

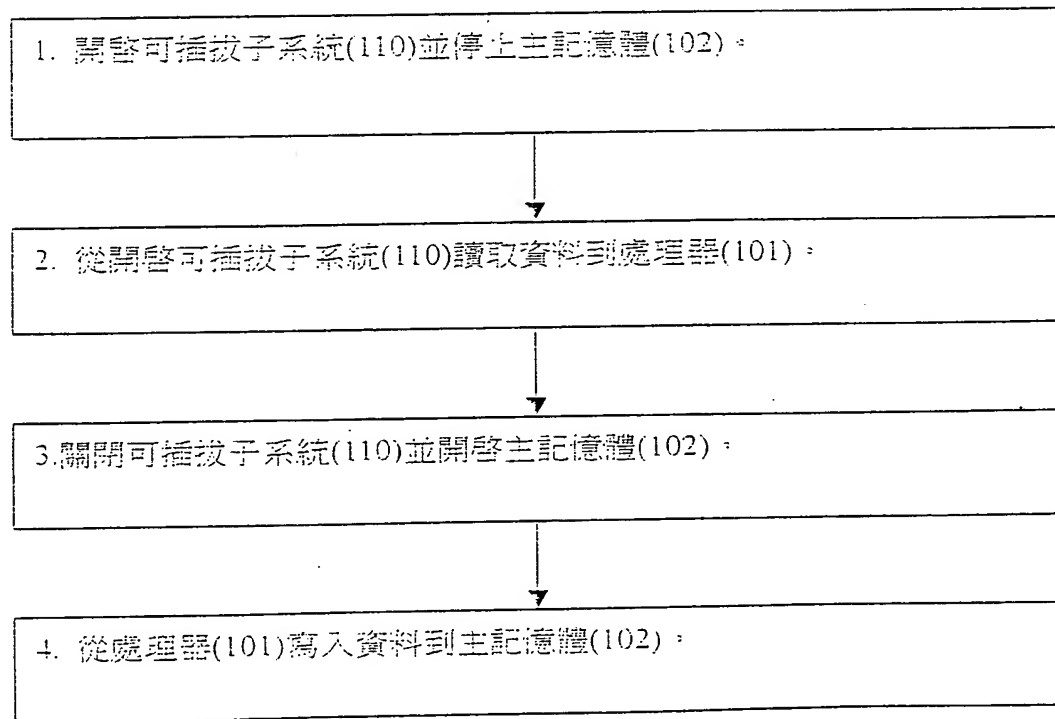
4. 從處理器(101)接收讀取訊號(123)或寫入訊號(124)，

5. 傳送資料到處理器(101)或從處理器(101)接收並解碼資料；

第四圖



第五圖



第六圖

六、申請專利範圍

申請專利範圍：

1. 一種使用一可插拔之子系統將系統程式燒錄到主記憶體
的微處理系統，包含：

一處理器，係用以發出一第一控制訊號以及一第二控制
訊號，其中該第一控制訊號為浮接式準位；

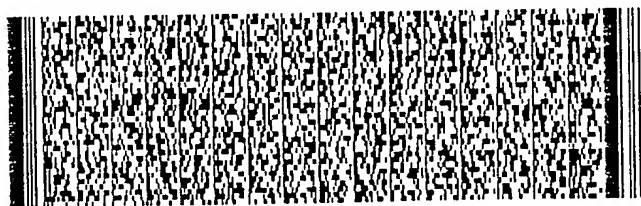
一主記憶體，係電氣地連接至該處理器並接收一第三
控制訊號來決定是否與該處理器傳遞資訊；

一用以調節至第一準位裝置，係電氣地連接至該處理
器以接受該第一控制訊號以及電氣地連接至該主記憶體使
得該第三控制訊號為該第一準位，該第一準位使得該主記
憶體動作；以及

一具有一備源記憶體之可插拔子系統，係電氣地連接
至該處理器並接收該第二控制訊號，

當該第二控制訊號為該第一準位時，該備源記憶體動
作並且該備源記憶體與該處理器之間傳遞資訊，並且該可
插拔子系統送出一第四控制訊號使得該第三控制訊號為一
第二準位，其中該第二準位使得該主記憶體停止動作，
當該第二控制訊號為該第二準位時，該備源記憶體停止動
作並且停止該可插拔子系統送出該第四控制訊號，使得該
第三控制訊號為該第一準位並且該主記憶體與該處理器之
間傳遞資訊。

2. 如申請專利範圍第1項之微處理系統，其中上述之該第



六、申請專利範圍

二準位高於該第一準位。

3. 如申請專利範圍第2項之微處理系統，其中上述之用以調節至該第一準位裝置包含一接地之第一電阻。

4. 如申請專利範圍第3項之微處理系統，其中上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法包含：

在該主記憶體與該處理器之間建立一第一匯流排與一第二匯流排，其中該第一匯流排上面具有位址資料，而該第二匯流排上面具有記憶資料；以及

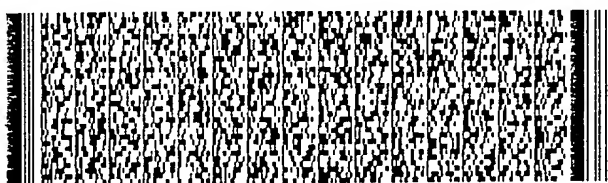
該主記憶體接收一讀取訊號後將對應到該位址資料之該記憶資料經由該第二匯流排傳送到該處理器。

5. 如申請專利範圍第4項之微處理系統，其中上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法更包含：

該主記憶體接收到一寫入訊號後將應到該位址資料之該記憶資料經由該第二匯流排寫入到該主記憶體。

6. 如申請專利範圍第5項之微處理系統，其中上述之備源記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法為：

在該備源記憶體與該處理器之間建立該第一匯流排與該第二匯流排，其中該第一匯流排上面具有位址資料，而該第二匯流排上面具有記憶資料；以及



六、申請專利範圍

該備源記憶體接收一讀取訊號後傳送對應到該位址之該記憶資料到該處理器。

7. 如申請專利範圍第6項之微處理系統，其中上述之可插拔子系統具有：

一連接器，係用以電氣地連接至該處理器以及該主記憶體；

一備源記憶體係電氣地連接至該連接器以接收該第二控制訊號；以及

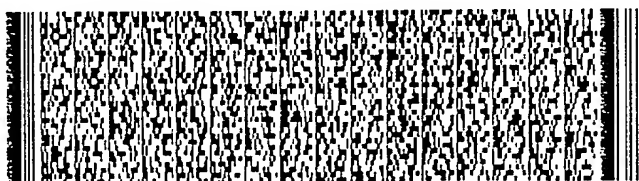
用以調節至該第二準位裝置係電氣地連接至該連接器，並且送出該第四控制訊號經由該連接器以調整該第三控制訊號之準位。

8. 如申請專利範圍第7項之微處理系統，其中上述之用以調節至該第二準位裝置包含一連接至一電源之第二電阻。

9. 如申請專利範圍第7項之微處理系統，其中上述之連接器為一插槽裝置。

10. 如申請專利範圍第1項之微處理系統，其中上述之主記憶體為一非揮發性記憶體。

11. 一種將可插拔之子系統上的系統程式燒錄到一微處理系統的主記憶體之方法，其中該微處理系統包含，一處理



六、申請專利範圍

器，該主記憶體，用以調節至一第一準位裝置，以及該插拔之子系統，其中該第一準位可以讓該主記憶體動作，該方法包含：

該處理器傳送一第一控制訊號以調整一用以控制該主記憶體之第三控制訊號之準位以及一第二控制訊號到該可插拔之子系統，其中該第一控制訊號為一浮接式準位，該第二控制訊號為該第一準位使得該可插拔之子系統動作，以及該第三控制訊號係由該用以調節至該第一準位裝置控制成該第一準位；

該可插拔之子系統送出一第四控制訊號將該第三控制訊號調整成一第二準位，其中該第二準位禁止該主記憶體動作；

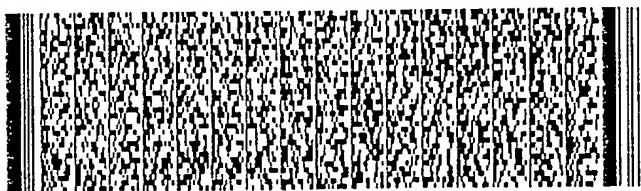
在該備源記憶體與該處理器之間傳遞資訊；

該處理器傳送該第二控制訊號到該可插拔之子系統，其中該第二控制訊號為該第二準位使得該可插拔之子系統停止動作並且停止送出該第四控制訊號；以及

在該主記憶體與該處理器之間傳遞資訊。

12. 如申請專利範圍第11項之方法，其中上述之該第二準位高於該第一準位。

13. 如申請專利範圍第12項之方法，其中上述之用以調節至該第一準位裝置包含一接地之第一電阻。



六、申請專利範圍

14. 如申請專利範圍第13項之方法，其中上述之備源記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法為：

在該備源記憶體與該處理器之間建立一第一匯流排與一第二匯流排，其中該第一匯流排上面具有位址資料，而該第二匯流排上面具有記憶資料；以及

該備源記憶體接收一讀取訊號後傳送對應到該位址資料之該記憶資料到該處理器。

15. 如申請專利範圍第14項之方法，其中上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法包含：

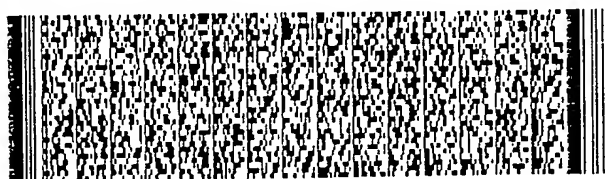
在該主記憶體與該處理器之間建立該第一匯流排與該第二匯流排，其中該第一匯流排上面具有位址資料，而該第二匯流排上面具有記憶資料；以及

該主記憶體接收一讀取訊號後將對應到該位址資料之該記憶資料經由該第二匯流排傳送到該處理器。

16. 如申請專利範圍第15項之微處理系統，其中上述之主記憶體與該處理器之間傳遞資訊之間傳遞訊號的方法更包含：

該主記憶體接收到一寫入訊號後將應到該位址資料之該記憶資料經由該第二匯流排寫入到該主記憶體。

17. 如申請專利範圍第16項之方法，其中上述之可插拔子系統具有：



六、申請專利範圍

一 連接器，係用以電氣地連接至該處理器以及該主記憶體；

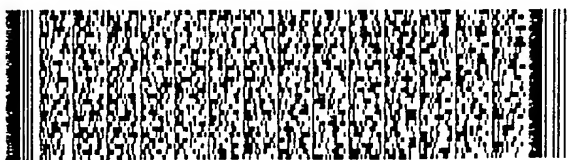
一 備源記憶體係電氣地連接至該連接器以接收該第二控制訊號；以及

用以調節至該第二準位裝置係電氣地連接至該連接器，並且送出該第四控制訊號經由該連接器以調整該第三控制訊號之準位。

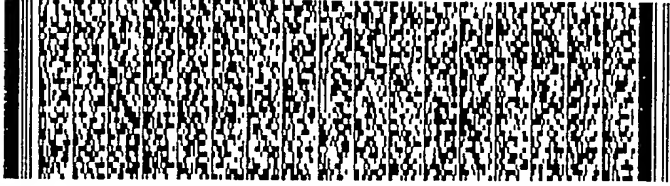
18. 如申請專利範圍第17項之方法，其中上述之用以調節至該第二準位裝置包含一連接至一電源之第二電阻。

19. 如申請專利範圍第11項之方法，其中上述之連接器為一插槽裝置。

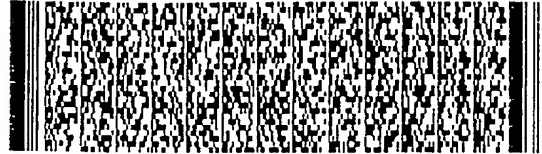
20. 如申請專利範圍第11項之方法，其中上述之主記憶體為一非揮發性記憶體。



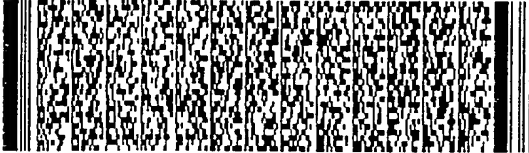
第 1/29 頁



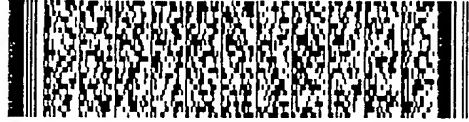
第 2/29 頁



第 2/29 頁



第 3/29 頁



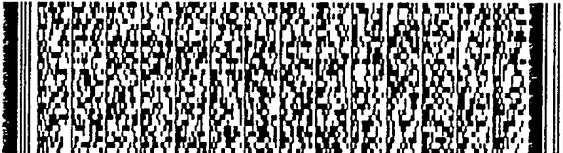
第 4/29 頁



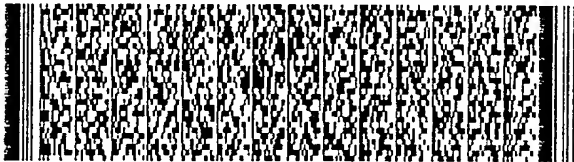
第 5/29 頁



第 5/29 頁



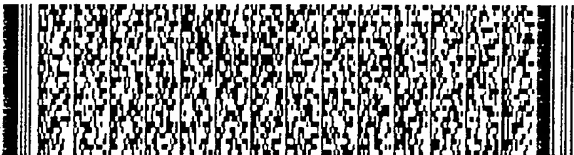
第 6/29 頁



第 6/29 頁



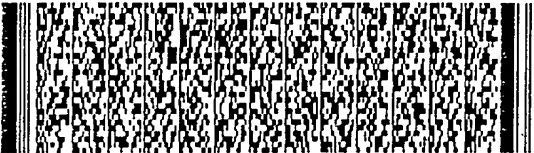
第 7/29 頁



第 7/29 頁



第 8/29 頁



第 8/29 頁



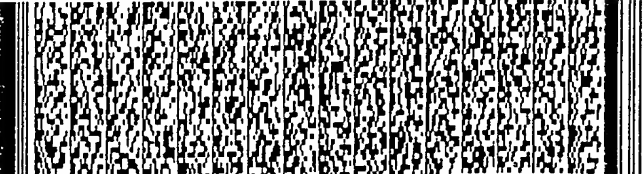
第 9/29 頁



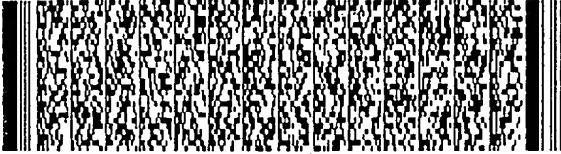
第 9/29 頁



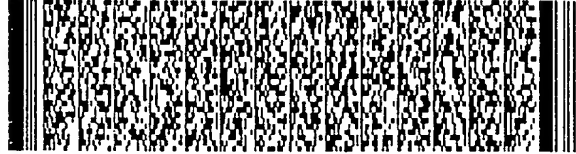
第 10/29 頁



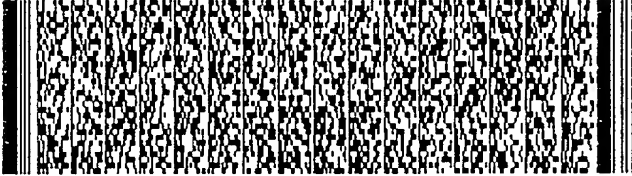
第 11/29 頁



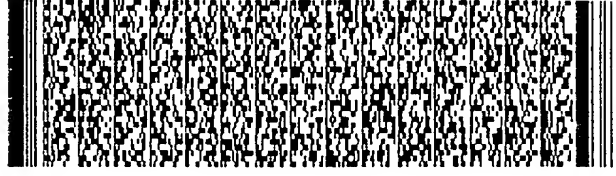
第 11/29 頁



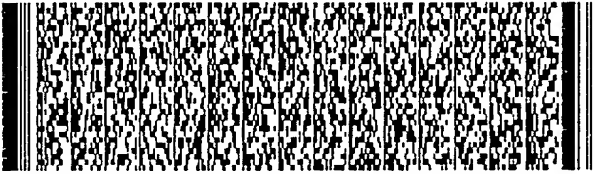
第 12/29 頁



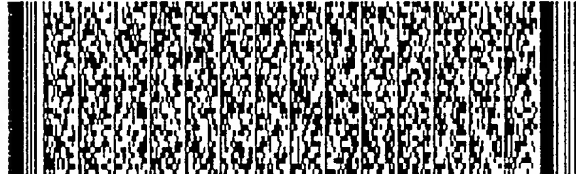
第 13/29 頁



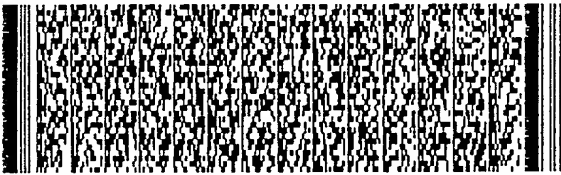
第 13/29 頁



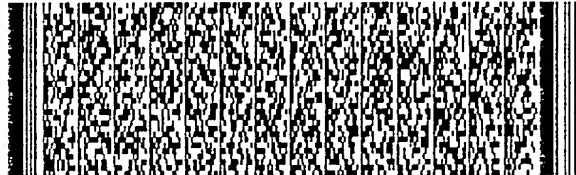
第 14/29 頁



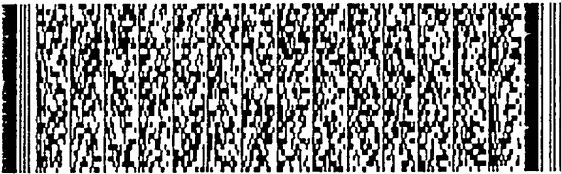
第 14/29 頁



第 15/29 頁



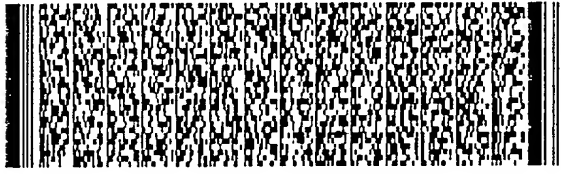
第 15/29 頁



第 16/29 頁



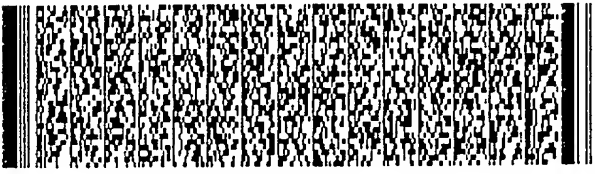
第 16/29 頁



第 17/29 頁



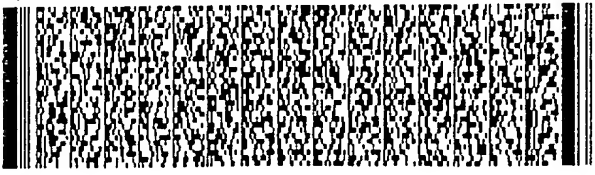
第 17/29 頁



第 18/29 頁



第 18/29 頁



第 19/29 頁

